



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0032053  
Application Number

출원 년 월 일 : 2003년 05월 20일  
Date of Application MAY 20, 2003

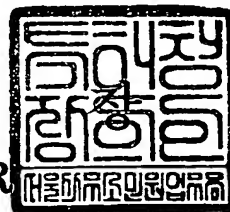
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      08      월      08      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.20
【발명의 명칭】	반도체 메모리 장치 및 이 장치의 데이터 라이트 및 리드 방법
【발명의 영문명칭】	Semoconductor memory device and data write and read method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	이정배
【성명의 영문표기】	LEE, JUNG BAE
【주민등록번호】	670227-1046533
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 523-302
【국적】	KR
【발명자】	
【성명의 국문표기】	최정환
【성명의 영문표기】	CHOI, JUNG HWAN
【주민등록번호】	680223-1674516
【우편번호】	442-070
【주소】	경기도 수원시 팔달구 인계동 366번지 삼성아파트 102-902
【국적】	KR
【발명자】	
【성명의 국문표기】	이윤상
【성명의 영문표기】	LEE, YUN SANG
【주민등록번호】	670805-1025814

**【우편번호】** 449-912  
**【주소】** 경기도 용인시 구성면 마북리 연원마을 LG아파트 107동 502  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 13 면 13,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 16 항 621,000 원  
**【합계】** 663,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 메모리 장치 및 이 장치의 데이터 라이트 및 리드 방법을 공개한다. 이 장치는 복수개의 워드 라인들과 복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들을 구비한 메모리 셀 어레이, 소정 개수의 라이트 라인쌍들, 소정 개수의 리드 라인쌍들, 라이트 동작시에 복수개의 비트 라인쌍들과 소정 개수의 라이트 라인쌍들 사이에 데이터를 전송하는 복수개의 라이트 컬럼 선택 게이트들, 및 리드 동작시에 복수개의 비트 라인쌍들과 소정 개수의 리드 라인쌍들 사이에 데이터를 전송하는 복수개의 리드 컬럼 선택 게이트들로 구성되어 있다. 따라서, 데이터 입력 패드들과 데이터 출력 패드들을 통하여 데이터를 동시에 입출력하는 것이 가능하다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

반도체 메모리 장치 및 이 장치의 데이터 라이트 및 리드 방법 {Semoiconductor memory device and data write and read method thereof}

**【도면의 간단한 설명】**

도1은 본 발명의 반도체 메모리 장치의 일실시예의 구성을 나타내는 블록도이다.

도2는 도1에 나타낸 본 발명의 반도체 메모리 장치의 실시예의 명령어 디코더의 블록도이다.

도3은 도1에 나타낸 구성의 데이터 라이트 및 리드 동작을 설명하기 위한 일실시예의 동작 타이밍도이다.

도4는 도1에 나타낸 구성의 데이터 라이트 및 리드 동작을 설명하기 위한 다른 실시예의 동작 타이밍도이다.

도5는 본 발명의 반도체 메모리 장치의 다른 실시예의 구성을 나타내는 블록도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치 및 이 장치의 데이터 라이트 및 리드 방법에 관한 것이다.

<7> 일반적인 반도체 메모리 장치는 데이터 입출력 핀들을 통하여 외부로부터 인가되는 데이터를 입력하고, 내부적으로 발생된 데이터를 외부로 출력한다. 따라서, 일반적인 반도체 메모리 장치는 데이터를 라이트하는 동작과 데이터를 리드하는 동작을 동시에 수행할 수 없었다.

<8> 그리고, 일반적인 반도체 메모리 장치중 데이터 입력 패드들과 데이터 출력 패드들이 별도로 구성된 장치가 있으나, 이 장치는 데이터 입력 패드들과 데이터 출력 패드들을 분리하였을 뿐이지 데이터 입력 패드들과 데이터 출력 패드들을 통하여 동시에 데이터를 전송하는 것은 아니다. 즉, 데이터 입력 패드들과 데이터 출력 패드들을 공통으로 사용하도록 구성된 반도체 메모리 장치와 마찬가지로 반도체 메모리 장치 내부의 데이터 라이트 및 리드 라인들이 데이터 라이트 라인들과 데이터 리드 라인들로 분리되어 구성되어 있는 것이 아니라 공통으로 구성되어 있다.

<9> 따라서, 종래의 반도체 메모리 장치는 데이터 입출력(입력) 패드들을 통하여 데이터를 입력하는 동작과 데이터 입출력(출력) 패드들을 통하여 데이터를 출력하는 동작을 동시에 수행할 수 없었다.

<10> 그런데, 반도체 메모리 장치를 구비하는 시스템의 버스의 효율성(efficiency)을 높이기 위하여 데이터 입출력을 동시에 수행하는 반도체 메모리 장치에 대한 필요성이 제기되고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<11> 본 발명의 목적은 데이터 입출력을 동시에 수행할 수 있는 반도체 메모리 장치를 제공하는데 있다.

- <12> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 데이터 라이트 및 리드 방법을 제공하는데 있다.
- <13> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 복수개의 워드 라인들과 복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들을 구비한 메모리 셀 어레이, 소정 개수의 라이트 라인쌍들, 소정 개수의 리드 라인쌍들, 라이트 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 라이트 라인쌍들 사이에 데이터를 전송하는 복수개의 라이트 컬럼 선택 게이트들, 및 리드 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 리드 라인쌍들 사이에 데이터를 전송하는 복수개의 리드 컬럼 선택 게이트들을 구비하는 것을 특징으로 한다.
- <14> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 실시예는 복수개의 워드 라인들과 복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들을 각각 구비한 복수개의 메모리 셀 어레이 블록들을 구비한 메모리 셀 어레이, 상기 복수개의 메모리 셀 어레이 블록들 각각으로 데이터를 입력하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 라이트 라인쌍들, 상기 복수개의 메모리 셀 어레이 블록들 각각의 데이터를 출력하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 리드 라인쌍들, 라이트 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 로컬 라이트 라인쌍들 사이에 데이터를 전송하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 복수개의 라이트 컬럼 선택 게이트들, 리드 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 로컬 리드 라인쌍들 사이에 데이터를 전송하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 리드 컬럼 선택 게이트들, 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 라이트 라인쌍들과 연결된 소정 개수의 글로벌 라이

트 라인쌍들, 및 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 리드 라인쌍들과 연결된 소정 개수의 글로벌 리드 라인쌍들을 구비하는 것을 특징으로 한다.

- <15>      상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 다른 실시예는 복수개의 워드 라인들과 복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들을 각각 구비한 복수개의 메모리 셀 어레이 블록들을 구비한 메모리 셀 어레이, 상기 복수개의 메모리 셀 어레이 블록들 각각으로 데이터를 입력하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 라이트 라인쌍들, 상기 복수개의 메모리 셀 어레이 블록들 각각의 데이터를 출력하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 리드 라인쌍들, 라이트 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 로컬 라이트 라인쌍들 사이에 데이터를 전송하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 복수개의 라이트 컬럼 선택 게이트들, 리드 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 로컬 리드 라인쌍들 사이에 데이터를 전송하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 리드 컬럼 선택 게이트들, 라이트 동작시에 컬럼 어드레스를 입력하여 상기 복수개의 라이트 컬럼 선택 게이트들중의 소정 개수의 라이트 컬럼 선택 게이트들을 선택하기 위한 라이트 컬럼 선택신호들을 발생하는 라이트 컬럼 디코더, 리드 동작시에 상기 컬럼 어드레스를 입력하여 상기 복수개의 리드 컬럼 선택 게이트들중의 소정 개수의 리드 컬럼 선택 게이트들을 선택하기 위한 리드 컬럼 선택신호

들을 발생하는 리드 컬럼 디코더, 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 라이트 라인쌍들과 연결된 소정 개수의 글로벌 라이트 라인쌍들, 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 리드 라인쌍들과 연결된 소정 개수의 글로벌 리드 라인쌍들, 소정 개수의 데이터 입력 패드들로 입력되는 데이터를 상기 소정 개수의 글로벌 라이트 라인쌍들로 전송하는 데이터 입력회로, 상기 소정 개수의 글로벌 리드 라인쌍들로부터 전송되는 데이터를 소정 개수의 데이터 출력 패드들로 출력하는 데이터 출력회로, 및 외부로부터 인가되는 명령 신호들을 디코딩하여 상기 라이트 동작을 위한 라이트 명령, 및 상기 리드 동작을 위한 리드 명령을 발생하는 명령어 디코더를 구비하는 것을 특징으로 한다.

<16>      상기 다른 실시예의 본 발명의 반도체 메모리 장치의 상기 명령어 디코더는 상기 명령 신호들을 디코딩하여 상기 라이트 동작 및 리드 동작을 동시에 수행하기 위한 라이트 및 리드 명령을 더 발생하는 것을 특징으로 한다.

<17>      그리고, 상기 실시예 및 다른 실시예의 본 발명의 반도체 메모리 장치는 제어신호에 응답하여 소정 개수의 데이터 입력 패드들로 입력되는 데이터를 상기 데이터 입력회로로 전송하고, 상기 데이터 출력회로로부터 전송되는 데이터를 소정 개수의 데이터 출력 패드들로 전송하는 제1스위치, 및 상기 제어신호의 반전된 신호에 응답하여 상기 소정 개수의 데이터 출력 패드들을 통하여 입력되는 데이터를 상기 데이터 입력회로로 전송하고, 상기 데이터 출력회로로부터 출력되는 데이터를 상기 소정 개수의 데이터 입력 패드들로 전송하는 제2스위치를 구비하여, 데이터 입력 패드가 데이터 출력 패드로도, 데이터 출력 패드가 데이터 입력 패드로도 사용될 수 있게 한다.

- <18>      상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 데이터 라이트 및 리드 방법은 라이트 동작시에 제1패드를 통하여 입력되는 데이터를 라이트 라인쌍으로 전송하고, 리드 동작시에 메모리 셀 어레이로부터 출력되는 데이터를 리드 라인쌍으로 전송하는 단계, 및 라이트 동작시에 상기 라이트 라인쌍으로 전송된 데이터를 상기 메모리 셀 어레이로 전송하고, 리드 동작시에 상기 리드 라인쌍으로 전송된 데이터를 제2패드를 통하여 출력하는 단계를 구비하는 것을 특징으로 한다.
- <19>      상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 데이터 라이트 및 리드 방법의 실시예는 라이트 동작시에 데이터 입력(출력) 패드를 통하여 입력되는 데이터를 글로벌 라이트 라인쌍으로 전송하고, 리드 동작시에 메모리 셀 어레이에 저장된 데이터를 로컬 리드 라인쌍으로 전송하는 단계, 라이트 동작시에 상기 글로벌 라이트 라인쌍으로 전송된 데이터를 로컬 라이트 라인쌍으로 전송하고, 리드 동작시에 상기 로컬 리드 라인쌍으로 전송된 데이터를 글로벌 리드 라인쌍으로 전송하는 단계, 및 라이트 동작시에 상기 로컬 라이트 라인쌍으로 전송된 데이터를 상기 메모리 셀 어레이로 전송하고, 리드 동작시에 상기 글로벌 리드 라인쌍으로 전송된 데이터를 로컬 리드 라인쌍으로 전송하고 상기 로컬 리드 라인쌍으로 전송된 데이터를 데이터 출력(입력) 패드를 통하여 출력하는 단계를 구비하는 것을 특징으로 한다.
- <20>      그리고, 상기 본 발명의 반도체 메모리 장치의 데이터 라이트 및 리드 방법은 라이트 동작 및 리드 동작이 독립적으로 수행되거나, 상기 라이트 및 리드 동작이 동시에 수행되는 것을 특징으로 한다.

## 【발명의 구성 및 작용】

- <21> 이하, 첨부한 도면을 참고로 하면 본 발명의 반도체 메모리 장치 및 이 장치의 데이터 라이트 및 리드 방법을 설명하면 다음과 같다.
- <22> 도1은 본 발명의 반도체 메모리 장치의 일실시예의 구성을 나타내는 블록도로서, 복수개의 메모리 셀 어레이 블록들(10-1 ~ 10-n)을 구비한 메모리 셀 어레이(10), 로우 디코더(12), 리드 컬럼 디코더(14-1), 라이트 컬럼 디코더(14-2), 데이터 입력 회로(16), 및 데이터 출력 회로(18)로 구성되어 있다.
- <23> 도1에서, 메모리 셀 어레이(10)는 복수개의 메모리 셀 어레이 블록들(10-1 ~ 10-n)을 구비하고, 복수개의 메모리 셀 어레이 블록들(10-1 ~ 10-n) 각각의 좌우에 비트 라인 아이솔레이션 게이트들(ISOG1 ~ ISOGn), 라이트 컬럼 선택 게이트들(WYG11, WYG12) ~ (WYG(n-1)n, WYGnn), 및 리드 컬럼 선택 게이트들(RYG11, RYG12) ~ (RYG(n-1)n, RYGnn) 각각을 구비하고 있다. 그리고, 복수개의 메모리 셀 어레이 블록들(10-1 ~ 10-n) 각각의 좌우에 해당 로컬 라이트 라인쌍들(LW11/B, LW12/B, LW13/B, LW14/B) ~ (LW(n-1)3/B, LW(n-1)4/B, LWn1/B, LWn2/B)과 해당 로컬 리드 라인쌍들(LR11/B, LR12/B, LR13/B, LR14/B) ~ (LR(n-1)3/B, LR(n-1)4/B, LRn1/B, LRn2/B)이 배치되어 있다. 복수개의 메모리 셀 어레이 블록들(10-1 ~ 10-n)사이의 로컬 라이트 라인쌍들(LW13/B, LW14/B, ..., LW(n-1)3/B, LW(n-1)4/B)과 로컬 리드 라인쌍들(LR13/B, LR14/B, ..., LR(n-1)3/B, LR(n-1)4/B)은 이웃하는 메모리 셀 어레이 블록들(10-1 ~ 10-n)에 공통으로 사용된다. 비트 라인 아이솔레이션 게이트들(ISOG1 ~ ISOGn) 각각은 NMOS트랜지스터들(N1, N2)로 구성되고, 메모리 셀 어레이 블록들(10-1 ~ 10-n) 각각의 어레이 비트 라인쌍들(ABL1/B, ABL2/B, ABL3/B, ABL4/B, ...)과 센스 비트 라인쌍들(SBL1/B,

SBL2/B, SBL3/B, SBL4/B, ...)사이 에 연결되어 있다. 그리고, 라이트 컬럼 선택 게이트들(WYG11 ~ WYGnn) 각각은 NMOS트랜지스터들(N3, N4)로 구성되고, 메모리 셀 어레이 블록들(10-1 ~ 10-n) 각각의 해당 센스 비트 라인쌍들(SBL1/B, SBL2/B, SBL3/B, SBL4/B, ...)과 로컬 라이트 라인쌍들(LW11/B, LW12/B, LW13/B, LW14/B, ..., LW(n-1)3/B, LW(n-1)4/B, LWn1/B, LWn2/B)사이 에 연결되고, 리드 컬럼 선택 게이트들(RYG11 ~ RYGnn) 각각은 NMOS트랜지스터들(N5, N6)로 구성되고, 메모리 셀 어레이 블록들(10-1 ~ 10-n) 각각의 해당 센스 비트 라인쌍들(SBL1/B, SBL2/B, SBL3/B, SBL4/B, ...)과 로컬 리드 라인쌍들(LR11/B, LR12/B, LR13/B, LR14/B, ..., LR(n-1)3/B, LR(n-1)4/B, LRn1/B, LRn2/B)사이 에 연결되어 있다.

<24> 그리고, 로컬 라이트 라인쌍들(LW11/B ~ LWn1/B)과 글로벌 라이트 라인쌍(GW1/B)이 연결되고, 로컬 라이트 라인쌍들(LW12/B ~ LWn2/B)과 글로벌 라이트 라인쌍(GW2/B)이 연결되어 있다. 로컬 라이트 라인쌍들(LW13/B ~ LW(n-1)3/B)과 글로벌 라이트 라인쌍(GW3/B)이 연결되고, 로컬 라이트 라인쌍들(LW14/B ~ LW(n-1)4/B)이 연결되어 있다. 마찬가지로, 로컬 리드 라인쌍들(LR11/B ~ LRn1/B)과 글로벌 리드 라인쌍(GR1/B)이 연결되고, 로컬 리드 라인쌍들(LR12/B, ..., LRn2/B)과 글로벌 리드 라인쌍(GR2/B)이 연결되고, 로컬 리드 라인쌍들(LR13/B ~ LR(n-1)3/B)과 글로벌 리드 라인쌍(GR3/B)이 연결되고, 로컬 리드 라인쌍들(LR14/B ~ LR(n-1)4/B)과 글로벌 리드 라인쌍(GR4/B)이 연결되어 있다.

<25> 도1에서, DQI, DQO로 나타낸 것은 데이터 입력 패드 및 데이터 출력 패드를 각각 나타낸다. 그리고, WL은 하나의 대표적인 워드 라인을 나타내고, WY1은 하나의 대표적인 라이트 컬럼 선택신호를, RY1은 하나의 대표적인 리드 컬럼 선택신호를 나타낸다.

- <26> 그리고, 도1에 나타낸 반도체 메모리 장치는 라이트 및 리드 동작시에 하나의 메모리 셀 어레이 블록이 선택되고, 선택된 하나의 메모리 셀 어레이 블록들로부터 4비트씩의 데이터가 입출력되는 구성을 나타내는 것이다.
- <27> 도1에 나타낸 구성의 기능을 설명하면 다음과 같다.
- <28> 메모리 셀 어레이 블록들(10-1 ~ 10-n) 각각은 라이트 동작시에 해당 로컬 라이트 라인쌍들((LW11/B, LW12/B, LW13/B, LW14/B) ~ (LW(n-1)3/B, LW(n-1)4/B, LWn1/B, LWn2/B))로부터 전송되는 데이터를 선택된 메모리 셀(들)에 데이터를 저장하고, 리드 동작시에 선택된 메모리 셀(들)에 저장된 데이터를 해당 로컬 리드 라인쌍들((LR11/B, LR12/B, LR13/B, LR14/B) ~ (LR(n-1)3/B, LR(n-1)4/B, LRn1/B, LRn2/B))로 전송한다. 비트 라인 아이솔레이션 게이트들(ISOG1 ~ ISOGn) 각각은 아이솔레이션 제어신호들(IS01, IS02, ..., IS0n) 각각에 응답하여 어레이 비트 라인쌍들(ABL1/B, ABL2/B, ABL3/B, ABL4/B, ...) 각각과 센스 비트 라인쌍들(SBL1/B, SBL2/B, SBL3/B, SBL4/B, ...) 각각의 사이에 데이터를 전송한다. 아이솔레이션 제어신호들(IS01, IS02, ..., IS0n) 각각은 메모리 셀 어레이 블록들(10-1 ~ 10-n) 각각을 선택하기 위한 블록 선택신호에 응답하여 활성화된다. 블록 선택신호는 로우 어드레스(RA)중의 블록 어드레스를 디코딩하여 발생된다. 라이트 컬럼 선택 게이트들(WYG11, WYG12, ..., WYG(n-1)n, WYGnn)은 라이트 컬럼 선택신호(WY1)에 응답하여 온되어 어레이 비트 라인쌍들(ABL1/B, ABL2/B, ABL3/B, ABL4/B) 각각과 로컬 라이트 라인쌍들((LW11/B, LW12/B, LW13/B, LW14/B), ..., (LW(n-1)3/B, LW(n-1)4/B, LWn1/B, LWn2/B) 각각의 사이에 데이터를 전송한다. 리드 컬럼 선택 게이트들(RYG11, RYG12, ..., RYG(n-1)n, RYGnn)은 리드 컬럼 선택신호(RY1)에 응답하여 온되어 어레이 비트 라인쌍들(ABL1/B, ABL2/B, ABL3/B, ABL4/B) 각각과 로컬





리드 라인쌍들((LR11/B, LR12/B, LR13/B, LR14/B), ..., (LR(n-1)3/B, LR(n-1)4/B, LRn1/B, LRn2/B)) 각각의 사이에 데이터를 전송한다. 로우 디코더(12)는 액티브 명령(ACT)에 응답하여 로우 어드레스(RA)를 디코딩하여 워드 라인들중의 하나의 워드 라인을 선택하기 위한 워드 라인 선택신호를 발생한다. 리드 컬럼 디코더(14-1)는 리드 명령(RE)에 응답하여 컬럼 어드레스(CA)를 디코딩하여 리드 컬럼 선택신호들(RY1, ...)을 발생한다. 라이트 컬럼 디코더(14-2)는 라이트 명령(WE)에 응답하여 컬럼 어드레스(CA)를 디코딩하여 라이트 컬럼 선택신호들(WY1, ...)을 발생한다. 데이터 입력회로(16)는 데이터 입력 패드(DQI)를 통하여 입력되는 데이터를 입력하여 글로벌 라이트 라인쌍들(GW1/B, GW2/B, GW3/B, GW4/B)로 출력한다. 데이터 출력회로(18)는 글로벌 리드 라인쌍들(GR1/B, GR2/B, GR3/B, GR4/B)로 출력되는 데이터를 입력하여 데이터 출력 패드(DQO)로 출력한다.

<29> 도2는 도1에 나타낸 본 발명의 반도체 메모리 장치의 실시예의 명령어 디코더의 블록도로서, 명령어 디코더(40)는 클럭신호(CLK), 반전 칩 선택신호(CSB), 반전 로우 어드레스 스트로우브 신호(RASB), 반전 컬럼 어드레스 스트로우브 신호(CASB), 제1반전 라이트 인에이블 신호(WE1B), 및 제2반전 라이트 인에이블 신호(WE2B)를 디코딩하여 액티브 명령(ACT), 라이트 명령(WE), 및 리드 명령(RE)을 발생한다.

<30> 도2에 나타낸 명령어 디코더는 아래의 표에 나타낸 바와 같은 동작을 수행한다.

<31>

【표 1】

CLK	CSB	RASB	CASB	WE1B	WE2B	내부 명령
	L	L	H	H	H	ACT
	L	H	L	L	H	WE
	L	H	L	H	H	RE
	L	H	L	L	L	WE, RE

<32> 상기 표에서, H는 "하이"레벨을, L은 "로우"레벨을 나타낸다.

<33> 명령어 디코더(40)는 클럭신호(CLK)의 상승 엣지에서 "로우"레벨의 명령 신호들(CSB, RASB), 및 "하이"레벨의 명령 신호들(CASB, WE1B, WE2B)이 인가되면 액티브 명령(ACT)을 발생하고, 클럭신호(CLK)의 상승 엣지에서 "로우"레벨의 명령 신호들(CSB, CASB, WE1B), 및 "하이"레벨의 명령 신호들(RASB, WE2B)이 인가되면 라이트 명령(WE)을 발생한다. 그리고, "로우"레벨의 명령 신호들(CSB, CASB), 및 "하이"레벨의 명령 신호들(RASB, WE1B, WE2B)이 인가되면 리드 명령(RE)을 발생하고, "로우"레벨의 명령 신호들(CSB, CASB, WE1B, WE2B), 및 "하이"레벨의 명령 신호(RASB)가 인가되면 라이트 명령(WE) 및 리드 명령(RE)을 동시에 발생한다.

<34> 즉, 본 발명의 반도체 메모리 장치의 명령어 디코더는 액티브 명령(ACT), 리드 명령(RE), 라이트 명령(WE)을 독립적으로 발생할 뿐만아니라 라이트 명령(WE)과 리드 명령(RE)을 동시에 발생하는 것이 가능하다.

<35> 또한, 본 발명의 반도체 메모리 장치의 명령어 디코더를 라이트 명령(WE)과 리드 명령(RE)을 동시에 발생하지 않도록 구성하는 경우에는 제2반전 라이트 인에이블 신호

(WE2B)는 필요없게 된다. 즉, 일반적인 반도체 메모리 장치의 명령어 디코더와 동일하게 구성하면 된다. 그리고, 도2의 명령어 디코더의 설명에서, 프리차지 명령 및 모드 설정 명령을 발생하는 것에 대해서는 설명하지 않았지만, 일반적인 반도체 메모리 장치의 명령어 디코더와 마찬가지로 방법으로 프리차지 명령 및 모드 설정 명령을 발생한다.

<36> 도3은 도1에 나타낸 구성의 데이터 라이트 및 리드 동작을 설명하기 위한 동작 타이밍도로서, 액티브 명령, 리드 명령, 라이트 명령, 리드 명령이 연속적으로 인가되고, 캐스 레이턴시가 2이고, 라이트 레이턴시가 1이고, 버스트 길이가 4인 경우의 더블 데이터 라이트 반도체 메모리 장치의 동작을 나타내는 것이다.

<37> 도3을 이용하여 도1에 나타낸 구성의 동작을 설명하면 다음과 같다.

<38> 액티브 명령(ACT)과 함께 로우 어드레스(RA)가 인가되면 로우 디코더(12)는 복수개의 워드 라인들중의 하나의 워드 라인(WL1)을 선택하기 위한 워드 라인 선택신호를 활성화한다. 그리고, 블록 어드레스에 응답하여 비트 라인 아이솔레이션 제어신호(IS01)가 활성화된다. 그러면, 비트 라인 아이솔레이션 게이트들(ISOG1)이 온된다. 그러면, 워드 라인(WL1)에 연결된 메모리 셀들과 메모리 셀 어레이 블록(10-1)의 어레이 비트 라인쌍들(ABL1/B, ABL2/B, ABL3/B, ABL4/B, ...)사이에는 전하 공유 동작이 수행된다. 따라서, 어레이 비트 라인쌍들(ABL1/B, ABL2/B, ABL3/B, ABL4/B, ...)에 연결된 센스 비트 라인쌍들(SBL1/B, SBL2/B, SBL3/B, SBL4/B, ...)사이에는 전압 차가 발생된다. 이때, 비트 라인 센스 증폭기들(미도시)이 동작하여 어레이 비트 라인쌍들(ABL1/B, ABL2/B, ABL3/B, ABL4/B, ...)과 센스 비트 라인쌍들(SBL1/B, SBL2/B, SBL3/B, SBL4/B, ...)의 신호를 전원전압 레벨과 접지접압 레벨로 증폭한다.

<39> 그리고, 첫 번째 리드 명령(RE)과 함께 컬럼 어드레스(CA)가 입력되면, 리드 컬럼 디코더(14-1)가 컬럼 어드레스(CA)를 디코딩하여 리드 컬럼 선택신호(RY1)를 활성화한다. 그러면, 리드 컬럼 게이트들(RYG11, RYG12)이 온되어 센스 비트 라인쌍들(SBL1/B ~ SBL4/B)의 데이터가 로컬 리드 라인쌍들(LR11/B ~ LR14/B)로 전송된다. 그리고, 로컬 리드 라인쌍들(LR11/B ~ LR14/B)로 전송된 데이터(do1)는 글로벌 리드 라인쌍들(GR1/B ~ GR4/B)로 전송된다. 데이터 출력회로(18)는 글로벌 리드 라인쌍들(GR1/B ~ GR4/B)의 데이터(D01)를 직렬로 변환하여 데이터(D011 ~ D014)를 데이터 출력 패드(DQ0)를 통하여 순차적으로 출력한다.

<40> 첫 번째 리드 명령(RE)이 인가되고 1클럭 사이클 후에, 라이트 명령(WE)과 함께 컬럼 어드레스(CA)가 입력된다. 라이트 명령(WE)이 인가된 후 1사이클 후에 데이터 입력 패드(DQI)를 통하여 4비트의 직렬 데이터(DI11 ~ DI14)가 입력되면, 데이터 입력회로(16)는 4비트의 직렬 데이터를 병렬로 변환하여 글로벌 라이트 라인쌍들(GW1/B ~ GW4/B)로 출력한다. 이때, 첫 번째 리드 명령(RE)에 응답하여 데이터(D011 ~ D014)가 데이터 출력 패드(DQ0)를 통하여 출력된다. 즉, 데이터 입력 패드(DQI)와 데이터 출력 패드(DQ0)를 통하여 데이터가 동시에 입출력된다. 글로벌 라이트 라인쌍들(GW1/B ~ GW4/B)로 전송된 데이터(DI1)는 로컬 라이트 라인쌍들(LW11/B ~ LW14/B)로 전송된다. 라이트 컬럼 디코더(14-2)는 라이트 명령(WE)과 함께 입력된 컬럼 어드레스(CA)를 디코딩하여 라이트 컬럼 선택신호(WY1)를 활성화한다. 그러면, 라이트 컬럼 게이트들(WYG11, WYG12)이 온된다. 그러면, 글로벌 라이트 라인쌍들(GW1/B ~ GW4/B)로 전송된 데이터(DI1)가 로컬 라이트 라인쌍들(LW11/B ~ LW14/B)로 전송된다. 그러면, 로컬 라이트 라인쌍들(LW11/B ~ LW14/B)로 전송된 데이터(di1)가 라이트 컬럼 선택 게이트들(WYG11, WYG12)을 통하여 센

스 비트 라인쌍들(SBL1/B ~ SBL4/B)과 어레이 비트 라인쌍들(BL1/B ~ BL4/B)로 전송된다.

<41> 그리고, 라이트 명령(WE)이 인가되고 1클럭 사이클 후에 두 번째 리드 명령(RE)과 함께 컬럼 어드레스(CA)가 입력되면 리드 컬럼 선택신호(RY2)가 발생되고, 리드 컬럼 선택신호(RY2)에 응답하여 로컬 리드 라인쌍들(LR11/B ~ LR14/B)로 데이터가 전송된다. 이때, 로컬 라이트 라인쌍들(LW11/B ~ LW14/B)로는 데이터(di1)가 전송된다. 그리고, 로컬 리드 라인쌍들(LR11/B ~ LR14/B)로 전송된 데이터(do2)가 글로벌 리드 라인쌍들(GR1/B ~ GR4/B)로 전송된다. 이때, 글로벌 라이트 라인쌍들(GW1/B ~ GW4/B)로는 데이터(DI1)가 전송된다. 그리고, 데이터 출력 회로(18)는 글로벌 리드 라인쌍들(GR1/B ~ GR4/B)로 전송된 4비트의 병렬 데이터를 직렬로 변환한다. 직렬로 변환된 데이터(D021 ~ D024)는 데이터 출력 패드(DQ0)를 통하여 순차적으로 출력된다. 즉, 라이트 명령(WE)에 응답하여 데이터(DI11 ~ DI14)가 글로벌 라이트 라인쌍들(GW1/B ~ GW4/B)과 로컬 라이트 라인쌍들(LW11/B ~ LW14/B)로 데이터가 전송될 때, 두 번째 리드 명령(RE)에 응답하여 로컬 리드 라인쌍들(LR11/B ~ LR14/B)의 데이터가 글로벌 리드 라인쌍들(GR1/B ~ GR4/B) 및 데이터 출력 패드(DQ0)로 전송된다.

<42> 상술한 설명에서는 라이트 및 리드 동작시에 워드 라인(WL1)과 어레이 비트 라인쌍들(ABL1/B ~ ABL4/B)이 활성화되고, 메모리 셀 어레이 블록(10-1)이 선택되는 경우를 예로 들어 설명하였다.

<43> 즉, 본 발명의 반도체 메모리 장치는 데이터 라이트 라인쌍들과 데이터 리드 라인쌍들이 분리되어 구성되어 있기 때문에 도2에 나타낸 바와 같이 데이터 충돌없이 동시에 데이터를 입출력하는 것이 가능하다.

- <44> 도4는 도1에 나타낸 구성의 데이터 라이트 및 리드 동작을 설명하기 위한 동작 타이밍도로서, 액티브 명령, 리드 및 라이트 명령, 라이트 및 리드 명령이 동시에 연속적으로 인가되고, 캐스 레이턴시가 2이고, 라이트 레이턴시가 1이고, 버스트 길이가 4인 경우의 더블 데이터 라이트 반도체 메모리 장치의 동작을 나타내는 것이다. 즉, 도4에 나타낸 동작 타이밍도는 동일 메모리 셀에 대한 리드 명령과 라이트 명령이 동시에 인가되는 경우의 동작을 나타내는 것이다.
- <45> 도4를 이용하여 도1에 나타낸 구성의 동작을 설명하면 다음과 같다.
- <46> 액티브 명령(ACT)이 인가되는 경우의 동작은 도2의 동작 설명을 참고로 하면 쉽게 이해될 것이다.
- <47> 그리고, 리드 및 라이트 명령(RE, WE)과 함께 컬럼 어드레스(CA)가 입력되면, 리드 컬럼 디코더(14-1)가 컬럼 어드레스(CA)를 디코딩하여 리드 컬럼 선택신호(RY1)를 활성화하고, 라이트 컬럼 디코더(14-2)가 컬럼 어드레스(CA)를 디코딩하여 라이트 컬럼 선택신호(WY1)를 활성화한다. 그러면, 리드 컬럼 게이트들(RYG11, RYG12)이 온되어 센스 비트 라인쌍들(SBL1/B ~ SBL4/B)의 데이터가 로컬 리드 라인쌍들(LR11/B ~ LR14/B)로 전송된다. 그리고, 로컬 리드 라인쌍들(LR11/B ~ LR14/B)로 전송된 데이터(do1)는 글로벌 리드 라인쌍들(GR1/B ~ GR4/B)로 전송된다. 글로벌 리드 라인쌍들(GR1/B ~ GR4/B)로 전송된 데이터(D01)는 데이터 출력 패드(DQ0)를 통하여 출력된다. 데이터(D011 ~ D014)가 데이터 출력 패드(DQ0)를 통하여 출력될 때, 4비트의 직렬 데이터(DI11 ~ DI14)가 데이터 입력 패드(DQI)를 통하여 입력된다. 즉, 데이터 입력 패드(DQI)와 데이터 출력 패드(DQ0)를 통하여 데이터가 동시에 입출력된다. 그리고, 데이터 입력회로(16)가 4비트의 직렬 데이터를 병렬로 변환하여 글로벌 라이트 라인쌍들(GW1/B ~ GW4/B)로 전송한다. 글

로컬 라이트 라인쌍들(GW1/B ~ GW4/B)로 전송된 데이터(DI1)는 로컬 라이트 라인쌍들(LW11/B ~ LW14/B)로 전송된다. 로컬 데이터 라인쌍들(LW11/B ~ LW14/B)로 전송된 데이터는 센스 비트 라인쌍들(SBL1/B ~ SBL4/B)로 전송된다.

<48> 이 후, 라이트 및 리드 명령과 함께 컬럼 어드레스(CA)가 입력되면 상술한 바와 같은 동일한 동작을 수행하여 데이터 출력 패드(DQ0)를 통하여 데이터(D021, D022, D023, D024)를 출력하고, 데이터 입력 패드(DQI)를 통하여 데이터(DI21, DI22, DI23, DI24)를 입력하는 동작을 동시에 수행한다. 즉, 첫 번째 라이트 명령(WE)에 응답하여 데이터가 데이터 입력 패드(DQI), 글로벌 라이트 라인쌍들(GW1/B ~ GW4/B), 로컬 라이트 라인쌍들(LW11/B ~ LW14/B)을 통하여 입력될 때, 두 번째 리드 명령(RE)에 응답하여 데이터가 로컬 리드 라인쌍들(LR11/B ~ LR14/B), 글로벌 리드 라인쌍들(GR1/B ~ GR4/B), 및 데이터 출력 패드(DQ0)를 통하여 출력된다.

<49> 즉, 본 발명의 반도체 메모리 장치는 라이트 및 리드 명령이 동시에 인가되는 경우에도 데이터 충돌없이 데이터를 동시에 입출력할 수 있다.

<50> 본 발명의 반도체 메모리 장치의 동작을 도3 및 도4의 타이밍도를 이용하여 분리하여 설명하였지만, 도3 및 도4의 타이밍도에 나타난 동작은 연속적으로 수행될 수 있다. 즉, 도2의 라이트 명령(WE)과 리드 명령(RE)에 라이트 및 리드 명령(WE, RE)이 연속적으로 발생하는 경우에도 데이터 충돌없이 데이터를 동시에 입출력할 수 있다.

<51> 상술한 바와 같이 본 발명의 반도체 메모리 장치는 데이터 입력 패드들은 데이터 입력만을 위하여 사용되고, 데이터 출력 패드들은 데이터를 출력만을 위하여 사용되는 것으로 고정되어 있다.

- <52> 도5는 본 발명의 반도체 메모리 장치의 다른 실시예의 구성을 나타내는 블록도로서, 도1에 나타난 블록도에 스위치들(20-1, 20-2, 22-1, 22-2)을 추가하여 구성되어 있다.
- <53> 도5에서, 스위치들(20-1, 20-2) 각각은 데이터 입력회로(16)와 데이터 입력 패드(DQI)사이, 및 데이터 출력회로(18)와 데이터 출력 패드(DQO)사이에 연결되고, 스위치들(22-1, 22-2) 각각은 데이터 출력회로(18)와 데이터 입력 패드(DQI)사이, 및 데이터 입력회로(16)와 데이터 출력 패드(DQO)사이에 연결되어 있다.
- <54> 도5에 나타난 구성의 기능을 설명하면 다음과 같다.
- <55> "로우"레벨의 제어신호(C) 및 "하이"레벨의 반전 제어신호(CB)가 발생되면, 스위치들(20-1, 20-2)이 온되어 데이터 입력 패드(DQI)를 통하여 입력되는 데이터가 데이터 입력회로(16)로 입력되고, 데이터 출력회로(18)을 통하여 출력되는 데이터가 데이터 출력 패드(DQO)로 출력된다.
- <56> 반면에, "하이"레벨의 제어신호(C) 및 "로우"레벨의 반전 제어신호(CB)가 발생되면, 스위치들(22-1, 22-2)이 온되어 데이터 출력 패드(DQO)를 통하여 입력되는 데이터가 데이터 입력회로(16)로 입력되고, 데이터 출력회로(18)를 통하여 출력되는 데이터가 데이터 입력 패드(DQI)로 출력된다.
- <57> 도5에 나타난 본 발명의 반도체 메모리 장치는 제어신호(C)에 응답하여 데이터 입력 패드(DQI)를 데이터를 입력하기 위하여 사용하거나, 데이터를 출력하기 위하여 사용하고, 마찬가지로, 데이터 출력 패드(DQO)를 데이터를 출력하기 위하여 사용하거나, 데이터를 입력하기 위하여 사용한다.

- <58> 따라서, 본 발명의 반도체 메모리 장치는 데이터 입력 패드(DQI) 및 데이터 출력 패드(DQO)가 고정되지 않고, 데이터 입력 패드(DQI)가 데이터 출력 패드로, 데이터 출력 패드(DQO)가 데이터 입력 패드로 사용될 수 있게 된다.
- <59> 도5에서, 제어신호(C)는 반도체 메모리 장치의 모드 설정 명령에 응답하여 모드 설정 레지스터(미도시)로 입력되는 모드 설정 코드를 사용하여 설정 가능하다. 이는 반도체 메모리 장치에서 일반적으로 사용되고 있는 기술이므로 설명을 생략하기로 한다.
- <60> 도5에 나타난 반도체 메모리 장치의 동작은 도2 및 도3에 나타난 반도체 메모리 장치의 동작 설명을 참고로 하면 쉽게 이해될 것이다.
- <61> 상술한 실시예에서는 본 발명의 동작 설명을 캐스 레이턴시가 2이고, 라이트 레이턴시가 1이고, 버스트 길이가 4이고, 더블 데이터 레이트로 동작하는 경우를 예로 들어 설명하였는데, 본 발명의 동작은 캐스 레이턴시, 라이트 레이턴시, 버스트 길이가 실시예와 다르게 설정되는 경우에도 가능하며, 더블 데이터 레이트가 아니라 싱글 데이터 레이트 및 쿼드 데이터 레이트로 동작하는 경우에도 가능하다.
- <62> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【발명의 효과】**

- <63>      본 발명의 반도체 메모리 장치 및 이 장치의 데이터 라이트 및 리드 방법은 데이터 입력 패드들과 데이터 출력 패드들을 통하여 데이터를 동시에 입출력하는 것이 가능하다.
- <64>      또한, 본 발명의 반도체 메모리 장치 및 이 장치의 데이터 라이트 및 리드 방법은 경우에 따라 데이터 입력 패드들을 데이터 출력 패드들로, 데이터 출력 패드들을 데이터 입력 패드들로 사용하는 것이 가능하다.
- <65>      따라서, 본 발명의 반도체 메모리 장치를 사용하는 시스템의 버스 효율성을 높일 수 있다.

**【특허청구범위】****【청구항 1】**

복수개의 워드 라인들과 복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들을 구비한 메모리 셀 어레이;

소정 개수의 라이트 라인쌍들;

소정 개수의 리드 라인쌍들;

라이트 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 라이트 라인쌍들 사이에 데이터를 전송하는 복수개의 라이트 컬럼 선택 게이트들; 및

리드 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 리드 라인쌍들 사이에 데이터를 전송하는 복수개의 리드 컬럼 선택 게이트들을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 반도체 메모리 장치는

외부로부터 인가되는 명령 신호들을 디코딩하여 상기 라이트 동작을 위한 라이트 명령, 상기 리드 동작을 위한 리드 명령을 발생하는 명령어 디코더를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 3】**

제2항에 있어서, 상기 명령어 디코더는

상기 명령 신호들을 디코딩하여 상기 라이트 동작과 상기 리드 동작을 동시에 수행하기 위한 라이트 및 리드 명령을 더 발생하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 4】

복수개의 워드 라인들과 복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들을 각각 구비한 복수개의 메모리 셀 어레이 블록들을 구비한 메모리 셀 어레이;

상기 복수개의 메모리 셀 어레이 블록들 각각으로 데이터를 입력하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 라이트 라인쌍들;

상기 복수개의 메모리 셀 어레이 블록들 각각의 데이터를 출력하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 리드 라인쌍들;

라이트 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 로컬 라이트 라인쌍들 사이에 데이터를 전송하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 복수개의 라이트 컬럼 선택 게이트들;

리드 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 로컬 리드 라인쌍들 사이에 데이터를 전송하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 리드 컬럼 선택 게이트들;

상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 라이트 라인쌍들과 연결된 소정 개수의 글로벌 라이트 라인쌍들; 및

상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 리드 라인쌍들과 연결된 소정 개수의 글로벌 리드 라인쌍들을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 5】

제4항에 있어서, 상기 반도체 메모리 장치는

외부로부터 인가되는 명령 신호들을 디코딩하여 상기 라이트 동작을 위한 라이트 명령, 상기 리드 동작을 위한 리드 명령을 발생하는 명령어 디코더를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 6】

제5항에 있어서, 상기 명령어 디코더는

상기 명령 신호들을 디코딩하여 상기 라이트 및 리드 동작을 동시에 수행하기 위한 라이트 및 리드 명령을 더 발생하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 7】

제4항에 있어서, 상기 반도체 메모리 장치는

제어신호에 응답하여 소정 개수의 데이터 입력 패드들을 통하여 입력되는 데이터를 상기 소정 개수의 글로벌 라인쌍들로 전송하고, 상기 소정 개수의 글로벌 리드 라인쌍들로부터 전송되는 데이터를 소정 개수의 데이터 출력 패드들로 출력하는 제1스위치; 및

상기 제어신호의 반전된 신호에 응답하여 상기 소정 개수의 데이터 출력 패드들을 통하여 입력되는 데이터를 상기 소정 개수의 글로벌 라인쌍들로 전송하고, 상기 소정 개

수의 글로벌 리드 라인쌍들로부터 전송되는 데이터를 상기 소정 개수의 데이터 입력 패드들로 출력하는 제2스위치를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 8】

복수개의 워드 라인들과 복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들을 각각 구비한 복수개의 메모리 셀 어레이 블록들을 구비한 메모리 셀 어레이;

상기 복수개의 메모리 셀 어레이 블록들 각각으로 데이터를 입력하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 라이트 라인쌍들;

상기 복수개의 메모리 셀 어레이 블록들 각각의 데이터를 출력하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 리드 라인쌍들;

라이트 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 로컬 라이트 라인쌍들 사이에 데이터를 전송하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 복수개의 라이트 컬럼 선택 게이트들;

리드 동작시에 상기 복수개의 비트 라인쌍들과 상기 소정 개수의 로컬 리드 라인쌍들 사이에 데이터를 전송하는 상기 복수개의 메모리 셀 어레이 블록들 각각의 리드 컬럼 선택 게이트들;

라이트 동작시에 컬럼 어드레스를 입력하여 상기 복수개의 라이트 컬럼 선택 게이트들중의 소정 개수의 라이트 컬럼 선택 게이트들을 선택하기 위한 라이트 컬럼 선택 신호들을 발생하는 라이트 컬럼 디코더;

리드 동작시에 상기 컬럼 어드레스를 입력하여 상기 복수개의 리드 컬럼 선택 게이트들중의 소정 개수의 리드 컬럼 선택 게이트들을 선택하기 위한 리드 컬럼 선택신호들을 발생하는 리드 컬럼 디코더;

상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 라이트 라인쌍들과 연결된 소정 개수의 글로벌 라이트 라인쌍들;

상기 복수개의 메모리 셀 어레이 블록들 각각의 소정 개수의 로컬 리드 라인쌍들과 연결된 소정 개수의 글로벌 리드 라인쌍들;

소정 개수의 데이터 입력 패드들로 입력되는 데이터를 상기 소정 개수의 글로벌 라이트 라인쌍들로 전송하는 데이터 입력회로;

상기 소정 개수의 글로벌 리드 라인쌍들로부터 전송되는 데이터를 소정 개수의 데이터 출력 패드들로 출력하는 데이터 출력회로; 및

외부로부터 인가되는 명령 신호들을 디코딩하여 상기 라이트 동작을 위한 라이트 명령, 및 상기 리드 동작을 위한 리드 명령을 발생하는 명령어 디코더를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 9】

제8항에 있어서, 상기 명령어 디코더는

상기 명령 신호들을 디코딩하여 상기 라이트 동작 및 리드 동작을 동시에 수행하기 위한 라이트 및 리드 명령을 더 발생하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 10】

제8항에 있어서, 상기 반도체 메모리 장치는

제어신호에 응답하여 소정 개수의 데이터 입력 패드들로 입력되는 데이터를 상기 데이터 입력회로로 전송하고, 상기 데이터 출력회로로부터 전송되는 데이터를 소정 개수의 데이터 출력 패드들로 전송하는 제1스위치; 및

상기 제어신호의 반전된 신호에 응답하여 상기 소정 개수의 데이터 출력 패드들을 통하여 입력되는 데이터를 상기 데이터 입력회로로 전송하고, 상기 데이터 출력회로로부터 출력되는 데이터를 상기 소정 개수의 데이터 입력 패드들로 전송하는 제2스วิต치를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 11】

라이트 동작시에 제1패드를 통하여 입력되는 데이터를 라이트 라인쌍으로 전송하고, 리드 동작시에 메모리 셀 어레이로부터 출력되는 데이터를 리드 라인쌍으로 전송하는 단계; 및

라이트 동작시에 상기 라이트 라인쌍으로 전송된 데이터를 상기 메모리 셀 어레이로 전송하고, 리드 동작시에 상기 리드 라인쌍으로 전송된 데이터를 제2패드를 통하여 출력하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 라이트 및 리드 방법.

#### 【청구항 12】

제11항에 있어서, 상기 반도체 메모리 장치의 데이터 라이트 및 리드 방법은  
상기 라이트 동작 및 상기 리드 동작이 독립적으로 수행되는 것을 특징으로 하는 반도체 메모리 장치의 데이터 라이트 및 리드 방법.

**【청구항 13】**

제11항에 있어서, 상기 반도체 메모리 장치의 데이터 라이트 및 리드 방법은

상기 라이트 동작 및 상기 리드 동작이 동시에 수행되는 것을 특징으로 하는 반도체 메모리 장치의 데이터 라이트 및 리드 방법.

**【청구항 14】**

라이트 동작시에 데이터 입력(출력) 패드를 통하여 입력되는 데이터를 글로벌 라이트 라인쌍으로 전송하고, 리드 동작시에 메모리 셀 어레이에 저장된 데이터를 로컬 리드 라인쌍으로 전송하는 단계;

라이트 동작시에 상기 글로벌 라이트 라인쌍으로 전송된 데이터를 로컬 라이트 라인쌍으로 전송하고, 리드 동작시에 상기 로컬 리드 라인쌍으로 전송된 데이터를 글로벌 리드 라인쌍으로 전송하는 단계; 및

라이트 동작시에 상기 로컬 라이트 라인쌍으로 전송된 데이터를 상기 메모리 셀 어레이로 전송하고, 리드 동작시에 상기 글로벌 리드 라인쌍으로 전송된 데이터를 로컬 리드 라인쌍으로 전송하고 상기 로컬 리드 라인쌍으로 전송된 데이터를 데이터 출력(입력) 패드를 통하여 출력하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 라이트 및 리드 방법.

**【청구항 15】**

제14항에 있어서, 상기 반도체 메모리 장치의 데이터 라이트 및 리드 방법은

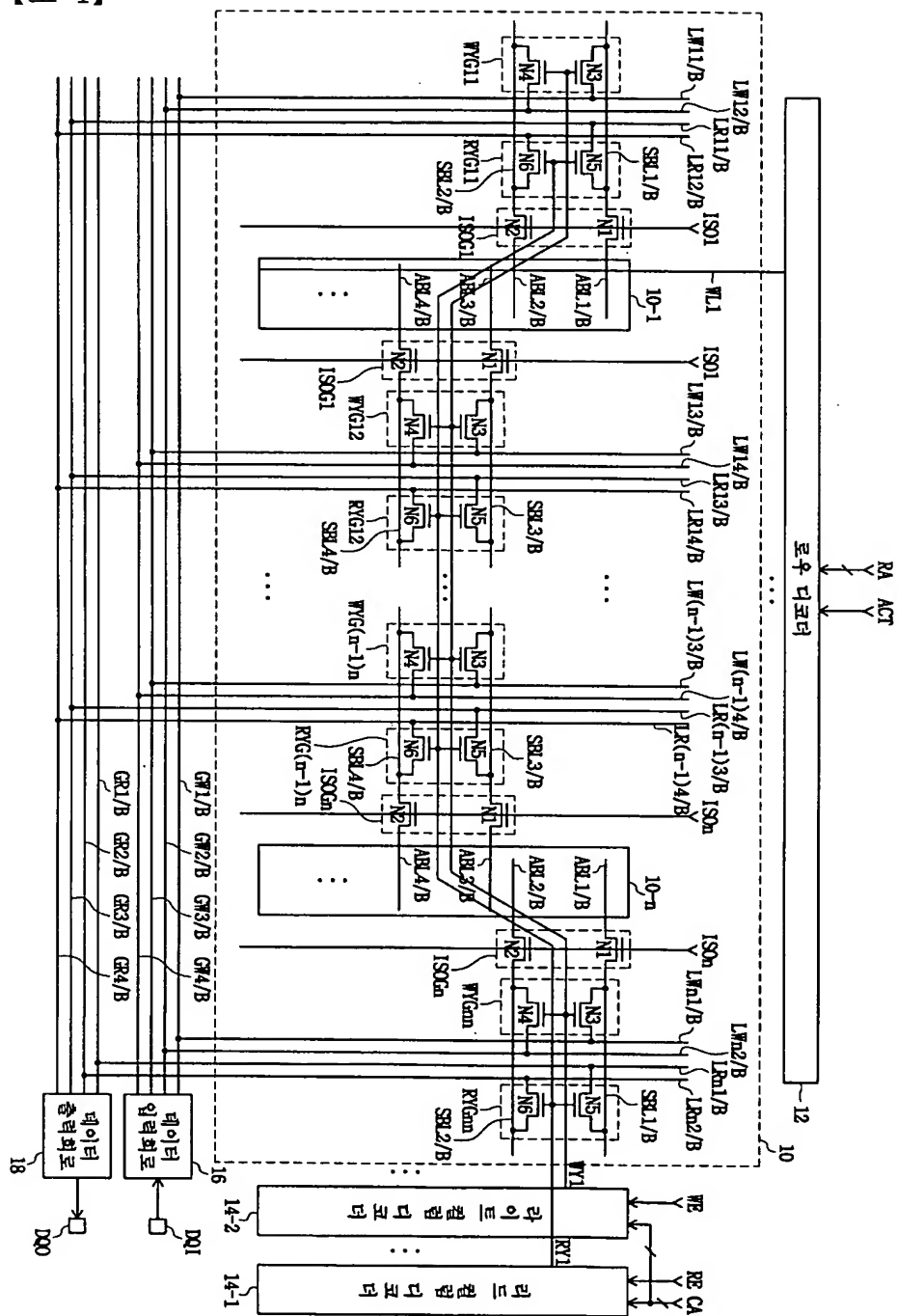
상기 라이트 동작 및 리드 동작이 독립적으로 수행되는 것을 특징으로 하는 반도체 메모리 장치의 데이터 라이트 및 리드 방법.

【청구항 16】

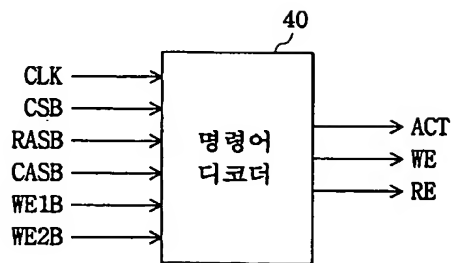
제14항에 있어서, 상기 반도체 메모리 장치의 데이터 라이트 및 리드 방법은  
상기 라이트 및 리드 동작이 동시에 수행되는 것을 특징으로 하는 반도체 메모리  
장치의 데이터 라이트 및 리드 방법.

【도면】

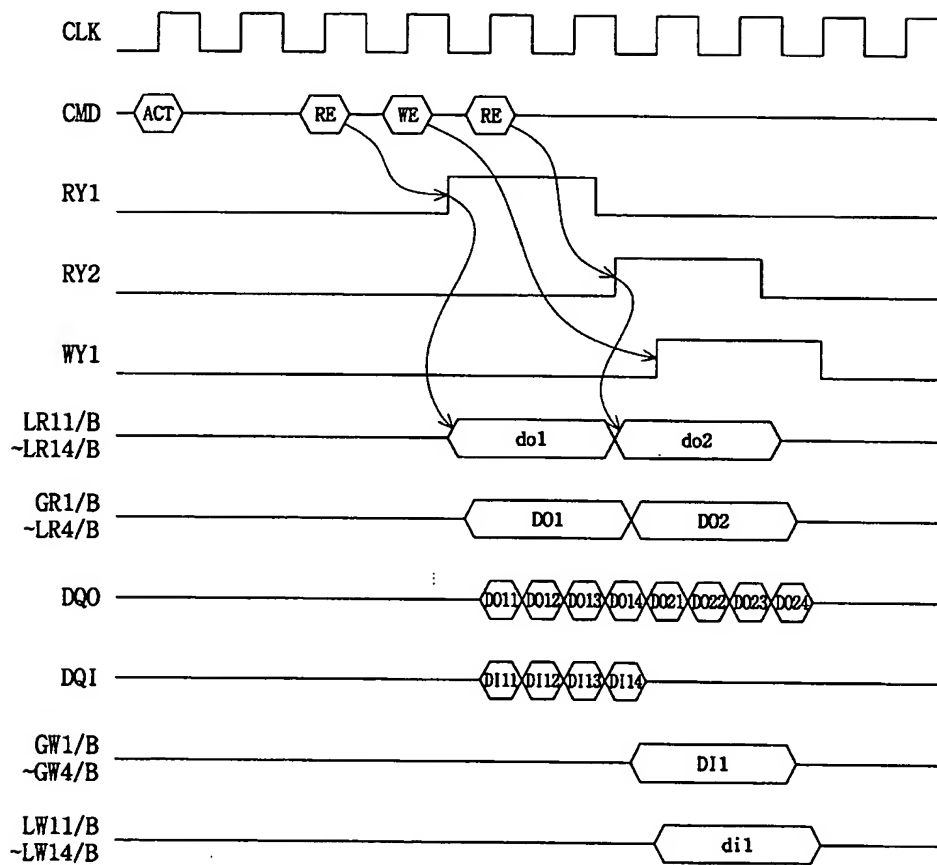
【도 1】



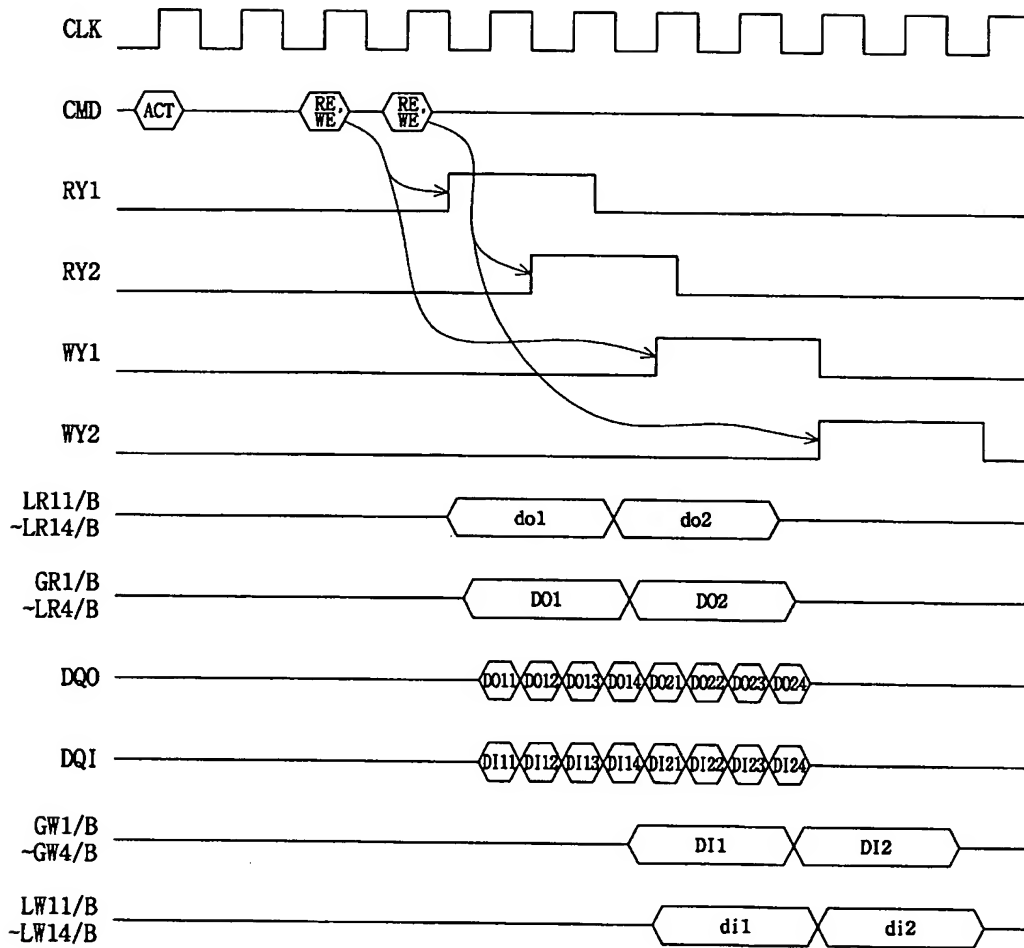
【도 2】



【도 3】



【도 4】



【도 5】

